

Vergleichbarkeit von ESD-Prüfungen auf IC- und Systemebene oder welchen Einfluss hat eine Reduzierung der IC-ESD-Festigkeit auf die Systemfestigkeit?

Dipl.-Ing. Friedrich zur Nieden, Technische Universität Dortmund, Dortmund
Dipl.-Ing. Bastian Arndt, Continental Automotive GmbH, Regensburg
Dipl.-Ing. Frank Kremer, Technische Universität Dortmund, Dortmund
Dipl.-Ing. Yiqun Cao, Infineon Technologies AG, Neubiberg
Dipl.-Ing. Johannes Edenhofer, Continental Automotive GmbH, Regensburg
Prof. Dr.-Ing. Stephan Frei, Technische Universität Dortmund, Dortmund

1 Einleitung

ESD-Festigkeit wird auf IC- und Systemebene durch verschiedene Anforderungen und Prüfnormen gefordert. Die Produkte der Halbleiterindustrie werden zunächst durch spezielle Prüfungen mit unterschiedlichen Pulsen nach HBM, CDM oder MM gegen ESD abgesichert. Die Testvorgaben sind dabei meist auf ESD-Ereignisse ausgelegt, welche bei der Weiterverarbeitung der ICs in der Elektronikfertigung auftreten können. Je nach gesetzlichen oder kundenspezifischen Vorgaben wird das Prüfmaß auf Systemebene erhöht und der ESD-Schutz muss oft individuell durch externe Schutzbauteile angepasst werden. In der Automobilindustrie werden häufig Systemprüfungen nach ISO 10605 gefordert, welche ESD-Tests mit Ladespannungen von bis zu 8 kV auf Steckerpins vorsehen.

Seit einiger Zeit gibt es in der Halbleiterindustrie Bestrebungen, die ESD-Prüfspannung erheblich herabzusetzen [1]. Die Ladespannung für die HBM Prüfung nach JEDEC JESD22-A114F [2] soll von 2 kV auf 1 kV gesenkt werden. Eine Reduzierung der IC-ESD-Festigkeit kann sich direkt auf die konventionellen Schutzkonzepte von Gesamtsystemen wie Kfz-Steuergeräten auswirken. Mögliche Konsequenzen für die Automobilindustrie werden in diesem Beitrag mittels Simulation untersucht. Durch die Modellierung von Prüfmitteln und Schutzelementen wird das Zerstörpotential von ESD-Prüfungen nach ISO 10605 / IEC 61000-4-2 und Kabelentladungen auf Systemebene mit HBM-Prüfungen auf IC-Ebene verglichen.

2 Modellierung

Das Zusammenspiel von Pulsgenerator, IC und verschiedenen Schutzbeschaltungen ist für die Untersuchung des Einflusses einer Herabsetzung der HBM-Ausfallsspannung für Packaging und Handling Tests wichtig. Die Modellierung der einzelnen Komponenten wird nachfolgend vorgestellt.

2.1 Modellierung von IEC-ESD-Generatoren (Packaging und Handling)

Ein IEC ESD-Generator kann durch ein Netzwerk aus Widerständen, Induktivitäten und Kapazitäten modelliert werden. Das Modell wurde messtechnisch verifiziert [3] und ist in Abbildung 1 dargestellt. Es kann in drei Teilbereiche unterteilt werden.

Neben den nach [4, 5] standardisierten Elementen, wie das Entladenetzwerk von 150 pF und 330 Ω oder das Massekabel, werden die konstruktionsbedingten Eigenschaften des Relais und der Entladespitze einbezogen. Vor der Entladung nehmen die Netzwerkkapazität, eine parallele Kapazität zur Masse und eine weitere Kapazität, die über das Relais existiert, den Wert der Ladespannung an. Der erste Stromanstieg wird maßgeblich durch die Eigenschaften der Entladespitze geformt, welche häufig induktive Elemente wie Ferrite enthält und kapazitiv zum DUT koppelt.

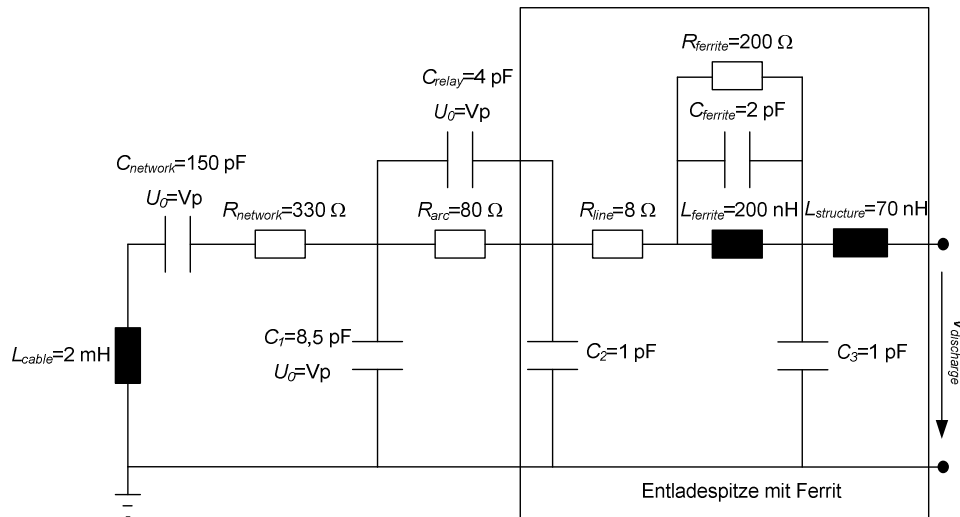


Abbildung 1:
Simulationsmodell des NoiseKen ESD-Generators TC-815-R

2.2 Modellierung einer HBM-Prüfung

Die Prüfung nach dem „Human Body Model“ (HBM) wird zum Testen von integrierten elektronischen Schaltungen verwendet und ist in [2] standardisiert. Das in Abbildung 2 dargestellte HBM-Modell wurde mit Änderung der Induktivität aus [6] übernommen.

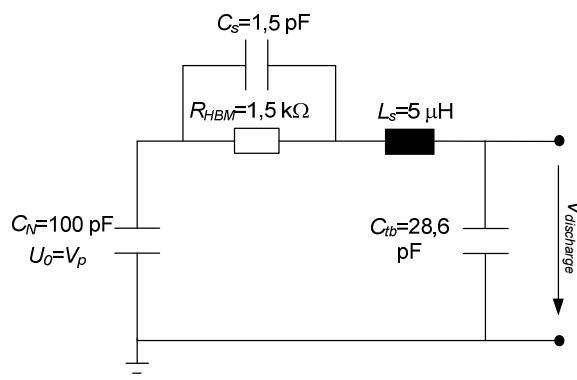


Abbildung 2:
Ersatzschaltbild eines HBM-Generators

2.3 Modellierung eines Transmission Line Pulser

Der charakteristische Puls des „Transmission Line Pulser“ (TLP) entsteht durch eine auf den Wert der Ladespannung aufgeladene, verlustarme Leitung. Die Pulsbreite ist einstellbar und beträgt 40 ns. Die Anstiegszeit kann durch einen nachgeschalteten Tiefpassfilter beeinflusst werden und beträgt 1,2 ns. In dem verwendeten Modell, welches im Rahmen der in [3, 7] durchgeführten Arbeiten entwickelt wurde, wird zum

Anschluss des DUT eine zweite Leitung, bei der frequenzabhängige Verluste berücksichtigt wurden, verwendet.

2.4 ESD-Modell für IC-Strukturen

Die Hardware-Beschreibungssprache VHDL-AMS unterstützt die Simulation von gemischten physikalischen Domänen. Auf dieser Basis wurde ein sehr einfaches fiktives IC-Modell für die Untersuchung grundlegender Zusammenhänge an verschiedenen Testkonfigurationen entwickelt, welches die elektrische und thermische Domäne eines ICs beschreibt. Die Teilmodelle sind in Abbildung 3 und Abbildung 4 dargestellt. Der ohmsche Anteil der Impedanz in der elektrischen Domäne des ICs wird durch eine I/V-Kennlinie abgebildet, welche in VHDL-AMS als „lookup-table“ implementiert ist. Die Kennlinie bildet bis zu einer wählbaren Durchbruchspannung die Impedanz des ICs ab. Oberhalb der Durchbruchspannung verhält sich der IC niederohmig. Der Übergang zwischen Arbeitsbereich und Durchbruch kann durch einen einstellbaren Faktor geglättet werden. Durch die Einstellung der Kennlinie können interne ESD-Schutzstrukturen des ICs simuliert werden, welche oberhalb der Durchbruchspannung aktiv werden. Der induktive Anteil der Anschlussdrähte wird durch eine Längsinduktivität abgebildet, welche mit 1 nH/mm Leiter berechnet wird. Die Eingangskapazität wird durch einen Kondensator nachgebildet. Die thermische Domäne ist an die aus Eingangsstrom und Eingangsspannung berechnete Leistung gekoppelt.

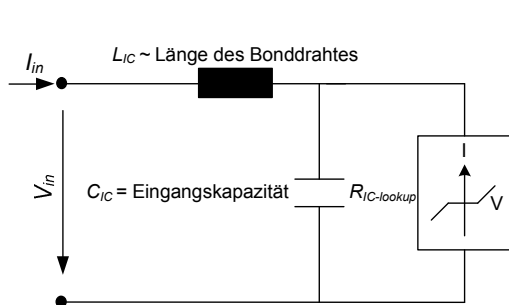


Abbildung 3: Elektrisches System des ICs

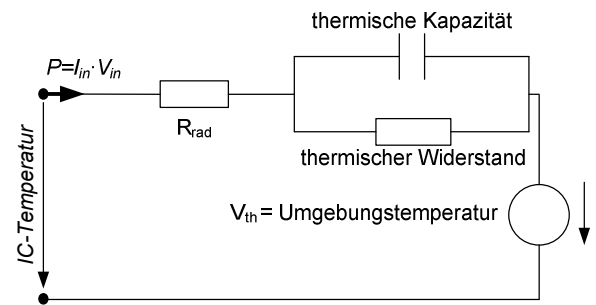


Abbildung 4: Thermisches System des IC Modells

Die thermische Kapazität wird bei Stromfluss am IC-Eingang aufgeladen. Der Wert der Kapazität kann als eine Funktion der elektrisch aktiven Fläche und der Dicke der Siliziumschicht angegeben werden, welche mit der spezifischen Wärmekapazität und der Dichte zur thermischen Kapazität C_{Th} berechnet werden kann [8].

$$C_{Th} = 703 \frac{\text{J}}{\text{kg} \cdot \text{K}} \cdot 2330 \frac{\text{kg}}{\text{m}^3} \cdot d_{\text{Silicon}} \cdot \frac{A_{\text{Aktiv}}}{1 \cdot 10^6}$$

Der Temperaturverlauf wird weiterhin durch den thermischen Widerstand des ICs bestimmt. Die Fähigkeit zur Aufnahme und Abgabe der thermischen Energie des gesamten ICs wird durch den thermischen Widerstand des Siliziums und dem als konstant angenommenen Strahlungswiderstand des Gehäuses modelliert. Die Umgebungstemperatur wird durch eine thermische Spannungsquelle berücksichtigt.

Über den Parameter der Spitzentemperatur kann eine maximale simulierte Temperatur angegeben werden, ab welcher Warnungen des Modells ausgegeben werden.

2.5 Modellierung von Schutzbeschaltungen

Die Methode zur Erstellung realistischer Schutzelemente wird in [9] vorgestellt. Der spannungsabhängige Widerstand wird mit einer I/V-Kennlinie realisiert. Eine parallele Kapazität und eine serielle Induktivität bilden das frequenzabhängige Verhalten des Modells ab.

3 Untersuchte Systemkonfigurationen

In den Simulationen wird der Eingang des IC-Modells jeweils direkt mit einem Pulsmodell verbunden. Für die Untersuchung der Wirksamkeit von ESD-Schutzelementen werden diese parallel zum IC-Eingang geschaltet. In diesem Beitrag werden Modelle eines Varistors, einer TVS Diode und eines keramischen Kondensators verwendet (Tabelle 1).

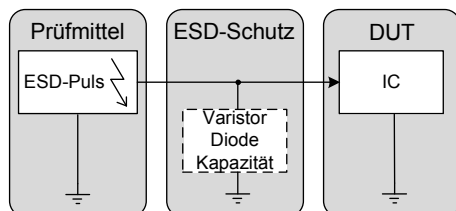


Abbildung 5: Schematische Darstellung der Systemkonfiguration

Schutzelement	$V_{\text{Durchbruch}}$	C_{Bauteil}
Varistor	14 V	150 pF
TVS Diode	8 V	1,2 pF
Kondensator	--	10 nF

Tabelle 1: Verwendete Schutzelement Modelle

3.1 IC-Modelle für die Simulation des elektrischen und thermischen Ausfalls

Zwei ICs mit unterschiedlichem Ausfallverhalten werden definiert. Um einen direkten Bezug zur Ausfallspannung bei HBM-Prüfungen herzustellen, werden die Parameter des Modells für den thermischen und elektrischen Ausfall bei 2000 V HBM-Ladespannung für den ersten IC angepasst. Der zweite IC fällt elektrisch und thermisch bei 1000 V aus. Die resultierenden Parametersätze der Modelle werden in Tabelle 2 und Tabelle 3 zusammengefasst.

Parameter	IC 1	IC 2
Länge des Anschlussdrahtes	2 mm	2 mm
Eingangskapazität	5 pF	5 pF
Widerstand vor dem Durchbruch	10.0 k Ω	10.0 k Ω
Widerstand nach dem Durchbruch	1.0 Ω	1.0 Ω
Durchbruchspannung	30.0 V	20.0 V
Glättungsfaktor der Durchbruchspannung	0.5	0.5
Erlaubte Spannung bis zur Zerstörung	25.0 V	15.0 V

Tabelle 2: Parameter der elektrischen Domäne der IC-Modelle

Parameter	IC 1	IC 2
Umgebungstemperatur	300 K	300 K
Maximale erlaubte IC-Temperatur	550 K	500 K
Thermischer Widerstand zum Gehäuse	250 K/W	250 K/W
Aktive IC-Fläche	0.06 mm ²	0.002 mm ²
Dicke der Siliziumschicht	150.0 µm	150.0 µm

Tabelle 3: Parameter der thermischen Domäne der IC-Modelle

4 Vergleich der Testmethoden

Um das Ausfallverhalten der verschiedenen IC-Modelle zu vergleichen, werden die simulierten Spannungs- und Temperaturspitzenwerte dem Kurvenverlauf entnommen und nachfolgend in Säulendiagrammen dargestellt. Das Ausfallverhalten ohne ESD-Schutz ist in Abbildung 6 bis Abbildung 11 zu erkennen. Die Ausfallsschwellen von 25 V und 550 K im Fall von IC 1 sowie 15 V und 500 K bei IC 2 werden in den Säulendiagrammen eingezeichnet.

Der Ausfall der IC-Modelle bei 2000 V und 1000 V Ladespannung für einen HBM-Puls wird mit einer ESD-Generator- und TLP-Entladung verglichen. Für beide ICs werden ungeschützt Ausfälle bei 500 V Ladespannung für den IEC Puls simuliert. Der mit herabgesetzter HBM-Festigkeit parametrisierte IC fällt bei TLP-Simulationen bereits bei 500 V Ladespannung aus.

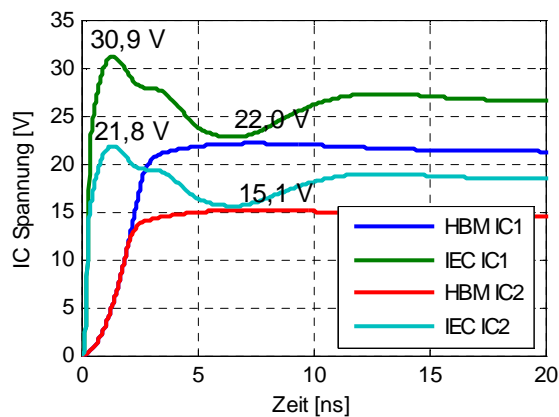


Abbildung 6: Vergleich des Spannungsverlaufs für eine HBM und IEC Entladung bei 1000 V Ladespannung

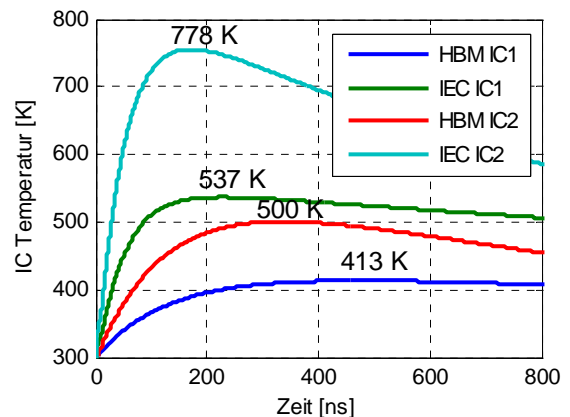


Abbildung 7: Vergleich des Temperaturverlaufs für eine HBM und IEC Entladung bei 1000 V Ladespannung

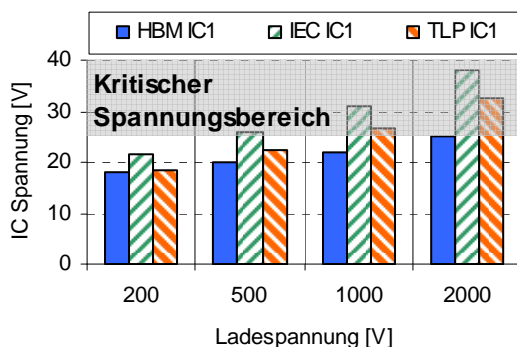


Abbildung 8: Simulierte Spitzenspannungen ohne Schutzelement an IC 1

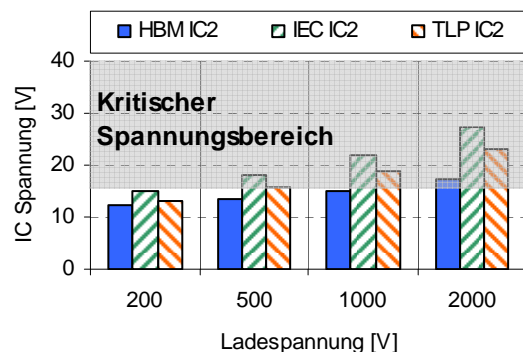


Abbildung 9: Simulierte Spitzenspannungen ohne Schutzelement an IC 2

Bei der Simulation des thermischen Ausfalls werden insgesamt höhere Ausfallsschwellen errechnet. Der IC mit der höheren Ausfallspannung ist deutlich resistenter. Die maximale erlaubte Temperatur für IEC- und TLP-Pulse wird erst bei 2000 V Ladespannung überschritten. Für IC 2 wird die Ausfallgrenze von 500 K schon bei 500 V für den ESD-Generator erreicht.

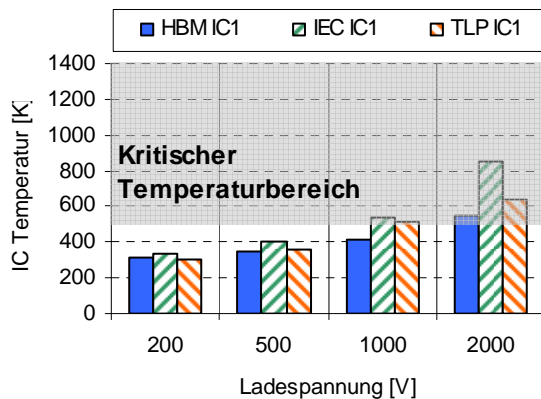


Abbildung 10: Simulierte Spitzentemperatur ohne Schutzelement an IC 1

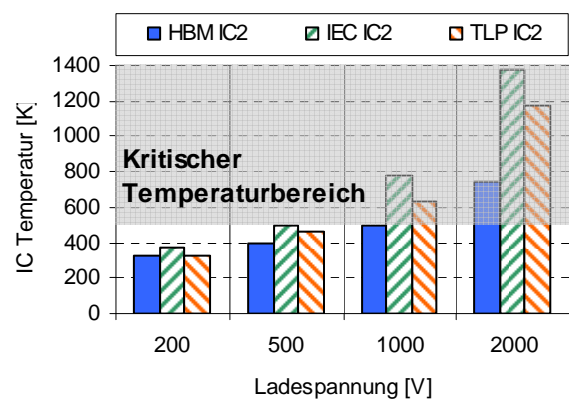


Abbildung 11: Simulierte Spitzentemperatur ohne Schutzelement an IC 2

Die von der Ladespannung abhängige Ausfallsschwelle von ICs kann durch den Einsatz von Schutzelementen erhöht werden. Nachfolgend werden Einflüsse von häufig eingesetzten ESD-Schutzelementen am Beispiel von IEC- und TLP-Entladungen untersucht. In Abbildung 12 und Abbildung 13 werden die Ausfallspannungen für IEC-Pulse mit und ohne Schutz durch eine TVS-Diode gegenübergestellt. Für beide ICs werden Ausfälle durch Überschreiten der Maximalspannung ab 500 V Ladespannung ohne Diode errechnet. Der Einsatz des Schutzelements erhöht die Ausfallsschwelle im Fall von IC 1 auf über 4000 V. IC 2 erreicht den kritischen Spannungsbereich schon bei 2000 V Ladespannung. Der Einfluss einer 10 nF Kapazität auf den thermischen Ausfall wird in Abbildung 14 und Abbildung 15 am Beispiel einer TLP-Entladung untersucht. Ohne Schutzelement werden Ausfallsschwellen von 2000 V für IC 1 und 1000 V für IC 2 erreicht. Mit der parallelen Kapazität wird auch hier ein größerer Anstieg der Temperaturkurven für den IC mit geringerer HBM-Festigkeit simuliert. Während die kritische Temperatur mit Schutzelement bei einer Ladespannung von 4000 V für den robusteren IC nur knapp überschritten wird, liegt die Temperatur bei IC 2 um mehr als 100 % höher.

4.1 Funktion von Standardschutzelementen abhängig von der HBM-Festigkeit

Die Auswirkungen einer Herabsetzung der Ausfallsschwelle von ICs wird besonders bei der Verwendung von Standardschutzelementen mit Durchbruchspannungen im Bereich der IC-Durchbruchspannung deutlich. In Abbildung 16 und Abbildung 17 ist zu erkennen, dass die Schutzwirkung des Varistors bei einem IC mit herabgesetzter Ausfallsschwelle deutlich abnimmt. Für den Fall des Varistors mit 14 V Durchbruchspannung besteht praktisch keine Schutzwirkung für IC 2. Stromspitzen werden nicht gegen Masse abgeleitet, sodass die thermische Belastung des ICs deutlich zunimmt. Der gefährliche erste Stromanstieg des IEC-ESD-Generators wird

durch den Varistor gedämpft. Die Leitungsentladung führt deshalb hier zu einer höheren IC-Temperatur oberhalb der Durchbruchspannung des Varistors, da ein höherer Spannungswert für eine längere Zeit am IC anliegt. Für den Spannungspuls des ESD-Generators wird eine Entladekonstante von etwa 150 ns simuliert, während der TLP-Puls bereits nach 40 ns deutlich abgeklungen ist.

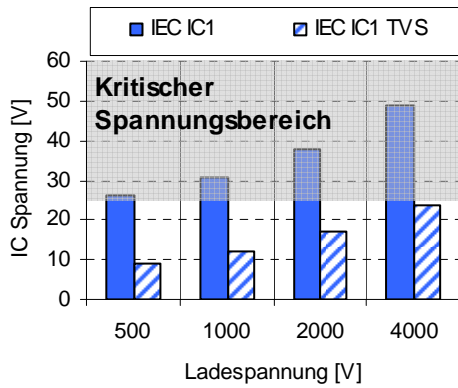


Abbildung 12: Schutzwirkung einer TVS-Diode bei einer IEC-Entladung an IC 1 (Spannung)

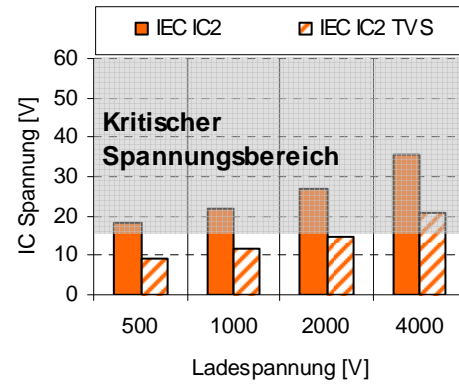


Abbildung 13: Schutzwirkung einer TVS-Diode bei einer IEC-Entladung an IC 2 (Spannung)

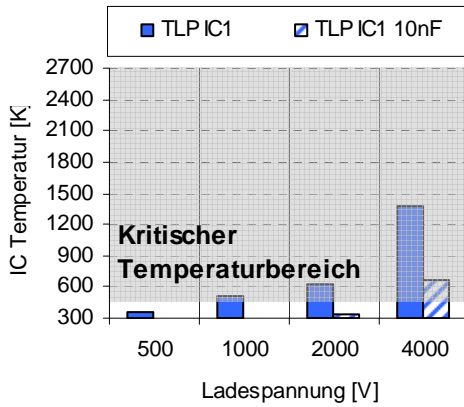


Abbildung 14: Schutzwirkung einer Kapazität bei einer TLP-Entladung an IC 1 (Temperatur)

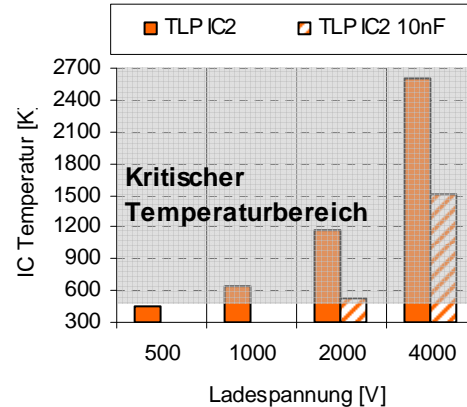


Abbildung 15: Schutzwirkung einer Kapazität bei einer TLP-Entladung an IC 2 (Temperatur)

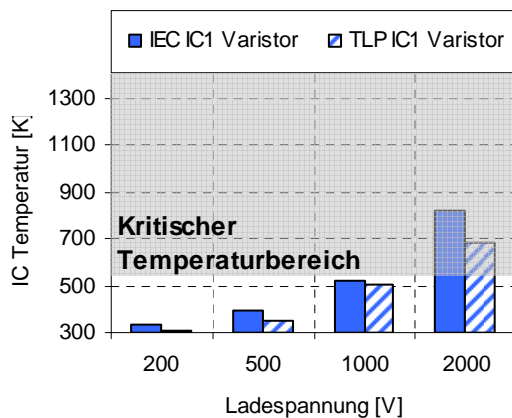


Abbildung 16: Vergleich einer IEC- und TLP-Entladung mit Varistor an IC 1

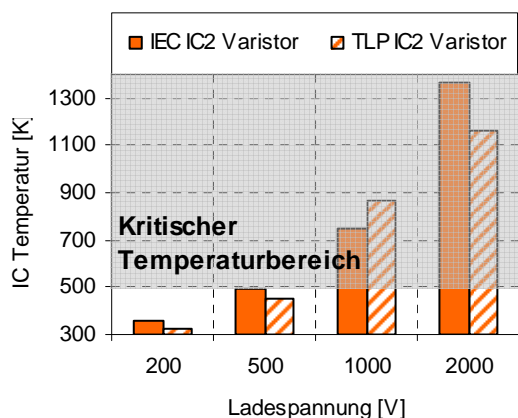


Abbildung 17: Vergleich einer IEC- und TLP-Entladung mit Varistor an IC 2

5 Diskussion

In diesem Beitrag wurden Grundsatzuntersuchungen an fiktiven ICs durch Simulation durchgeführt. Durch die unterschiedliche Parametrisierung eines IC-Modells wird eine Vergleichbarkeit gewährleistet. Da identische Widerstandswerte der I/V-Kennlinie gewählt wurden, verhalten sich die ICs vor und nach dem Durchbruch gleich. Durch den Glättungsfaktor von 0,5 liegt die Durchbruchspannung von IC 2 um 5 V geringer, wodurch die Herabsetzung der elektrischen HBM-Festigkeit modelliert wird.

Bei den simulierten Spitzenspannungen am IC zeigt sich eine ähnliche Tendenz bei der Entladung von verschiedenen Pulsquellen in die IC-Modelle. Aufgrund der niedrigeren Durchbruchspannung von IC 2 liegen auch die simulierten maximalen Ladespannungspegel insgesamt niedriger. Bei einem Vergleich der simulierten Spitzenspannungen aus Abbildung 8 und Abbildung 9 zeigt sich, dass die Robustheit des ICs trotz niedrigerer Maximalspannungen am IC abnimmt, da die Höhe der tolerierbaren Ausfallspannung bei einer Herabsetzung der HBM-Festigkeit sinkt.

In Abbildung 14 und Abbildung 15 wird gezeigt, dass durch den Einsatz einer TVS-Diode die ESD-Festigkeit von IC 1 für eine IEC-Entladung von 0,5 kV auf über 4 kV Ladespannung angehoben werden kann. Die Schutzwirkung des Bauteils verliert bei IC 2 aufgrund der niedrigeren Ausfallspannung jedoch an Einfluss und es werden bei gleicher Beschaltung nur 2 kV Ladespannung erreicht. Die von den Automobilherstellern geforderten hohen Prüfanforderungen von bis zu 8 kV sind nicht erreichbar. Eine Absenkung der Systemanforderungen ist notwendig.

Entscheidend für den Temperaturanstieg des ICs ist die Energie des Eingangspulses und die Fähigkeit der Abgabe der thermischen Energie an die Umgebung. Hohe Ströme können im Falle entsprechender Schutzbauteile wie Varistoren und Dioden gegen Masse abgeleitet werden. Simulationsergebnisse für CDM-Entladungen [6] zeigen, dass eine parallele Kapazität hier einen zuverlässigen Schutz bietet. Obwohl der CDM-Puls im Vergleich zum IEC- oder TLP-Puls nur eine geringe Energie besitzt, werden deutliche Temperaturanstiege mit einem Varistor durch den ersten Anstieg im Vergleich zur Kapazität simuliert, da die Durchbruchspannung mit 14 V höher liegt. Durch eine verzögerte Abgabe der Energie durch die Kapazität kann das Verhältnis von Aufnahme und Abgabe der thermischen Energie jedoch nur bis zu einer gewissen Pulsenergie ausgeglichen werden. Die simulierten IC-Temperaturen bei Beschaltung mit 10 nF in Abbildung 14 und Abbildung 15 offenbaren die steigende Anfälligkeit für einen thermischen Ausfall im Fall von IC 2.

Bei einem Vergleich des Ausfallverhaltens des ICs bei Entladungen von TLP und IEC ESD-Generatoren müssen die von der Quellimpedanz abhängigen Reflexionen berücksichtigt werden. Für die Untersuchungen wurde der Einfluss reflektierter Pulse im Falle des TLP vernachlässigt. Die simulierten Temperaturen steigen aufgrund der niedrigeren Impedanz des TLP durch reflektierte Pulse an.

Insgesamt ist ein Verlust der Robustheit gegen elektrische und thermische Ausfälle von ICs bei einer Herabsetzung der HBM-Ausfallschwelle auf 1 kV zu erwarten. Die Simulationsergebnisse zeigen, dass die Aufnahme der mit der Ladespannung quadratisch zunehmenden Energien zu höheren IC-Temperaturen führt. Der Einsatz von besseren Schutzelementen könnte die Spitzenspannungen am IC jedoch senken.

6 Zusammenfassung

Die in der Industrie diskutierte Absenkung der ESD-Festigkeit von Halbleitern wurde untersucht. Anhand von Simulationen wurden verschiedene Konfigurationen analysiert. Ein einfaches IC-Modell kam dabei zum Einsatz. Als Ausfallkriterium wurde die thermische und elektrische Überlastung simuliert. Der Ausfall wurde für eine HBM-Entladung mit 1 kV und 2 kV Ladespannung parametrisiert. Die Auswirkungen der verschiedenen typischen Schutzelemente und Testverfahren wurden untersucht.

TLP-Prüfungen können mit angepassten Ladespannungen ähnliche Ergebnisse wie IEC-Tests erzeugen. Die Ausfallspannung eines ICs kann durch die Verwendung typischer Schutzelemente nur in Grenzen angehoben werden. Somit könnte die Reduzierung der ESD-Festigkeit auf IC-Ebene dazu führen, dass vorhandene und erprobte Schutzkonzepte für empfindliche Systeme nicht mehr ausreichen werden. Neue und verbesserte externe Schutzkonzepte müssen entwickelt werden, so dass auch sehr hohe ESD-Anforderungen der Industrie in der Zukunft erfüllt werden können.

7 Danksagung

Diese Arbeit wurde durch das Bundesministerium für Bildung und Forschung im Rahmen des Projekts MEDEA+ 2T205, SPOT-2 gefördert.

8 Literatur

- [1] Industry Council on ESD Target Levels, "White paper 1: A case for lowering component level HBM/MM ESD specifications and requirements," August 2007, <http://www.esdforum.de>.
- [2] JEDEC Solid State Technology Association, "Reference number JESD22-A114F," *Electrostatic Discharge (ESD) Sensitivity Testing Human Body Model (HBM)*, 2008.
- [3] F. zur Nieden, B. Arndt, J. Edenhofer, and S. Frei, "Vergleich von ESD-System-Level Testmethoden für Packaging und Handling," *ESD Forum, Berlin*, 2009.
- [4] IEC International Electrotechnical Commission, "Reference number IEC 61000-4-2," *Electromagnetic Compatibility (EMC) - Part 4-2: Testing and measurement techniques - Electrostatic discharge immunity test*, 2001.
- [5] ISO International Organization for Standardization, "Reference number ISO 10605," *Road vehicles - Test methods for electrical disturbances from electrostatic discharge*, 2001.
- [6] K. Esmark, H. Gossner, and W. Stadler, *Advanced Simulation Methods for ESD Protection Development*. Oxford: Elsevier Ltd, 2003, ISBN 0-08-044147-5.
- [7] Y. Cao, B. Arndt, F. zur Nieden, and S. Frei, "Charakterisierung und systematische Bewertung von externen ESD Schutzelementen," *Proceedings, EMV2010 International Exhibition and Conference on Electromagnetic Compatibility, Düsseldorf*, 2010.
- [8] H. Binder, *Lexikon der chemischen Elemente*. Stuttgart: Hirzel Verlag, 1999, ISBN 3-7776-0736-3.
- [9] B. Arndt, F. zur Nieden, Y. Cao, F. Kremer, and S. Frei, "Modellierung und Simulation von ESD-Schutzelementen mit VHDL-AMS," *EMV 2010 Internationale Fachmesse und Kongress für Elektromagnetische Verträglichkeit, Düsseldorf*, 2010.